

SEMICONDUCTOR STORAGE DEVICE

Patent Number: JP63229848
Publication date: 1988-09-26
Inventor(s): MAEDA SATORU; others: 01
Applicant(s): TOSHIBA CORP
Requested Patent: ☐ JP63229848
Application Number: JP19870065015 19870319
Priority Number(s):
IPC Classification: H01L27/10 ; H01L27/04
EC Classification:
Equivalents:

Abstract

PURPOSE: To prevent the operation speed from decelerating by a method wherein the substrate potential of MOS type transfer gate transistor is raised in case of accumulating data to lower the sub-threshold value leakage current while the substrate potential is lowered in case of a reading/writing process.

CONSTITUTION: P wells 12 in the line direction on an n type Si substrate are split by SiO₂ layers 13 into memory cells 14. Transfer electrodes and word lines 16 are provided on the regions between capacity electrodes 15, n⁺ layers 18 and n⁺ layers 19 on the regions 14 using polySi 16. The surface is covered with an SiO₂ film 20 and openings 21 are made to provide Al bit lines 17 for connection to pick up layers of P wells 12. The P wells 12 connected to Al wirings 23 through the intermediary of the holes 22 are supplied with the substrate potential. In case of reading/writing process, the P wells in the selected line are supplied with a low substrate potential while in case of accumulating data, the P wells in the selected line are supplied with a high substrate potential. Through these procedures, the charge accumulated in capacitors shall not leak through the intermediary of a transfer gate transistor not to erase the data.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A)

昭63-229848

⑪ Int. Cl.

H 01 L 27/10
27/04

識別記号

3 2 5

庁内整理番号

U-8624-5F
B-7514-5F

⑬ 公開 昭和63年(1988)9月26日

審査請求 有 発明の数 1 (全4頁)

⑭ 発明の名称 半導体記憶装置

⑮ 特 願 昭62-65015

⑯ 出 願 昭62(1987)3月19日

⑰ 発 明 者 前 田 哲 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内⑱ 発 明 者 岩 井 洋 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(1) MOS型転送ゲートトランジスタを有する半導体記憶装置において、情報の読み出し時もしくは書き込み時に上記MOS型転送ゲートトランジスタの基板電位を浅くし、且つ情報の保持状態時には深く設定する基板電位供給手段を設けたことを特徴とする半導体記憶装置。

(2) 前記基板電位は、半導体基板と逆導電型のウェル領域に供給することを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

(3) 前記基板電位は、選択された行または列のみに選択的に供給することを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

この発明は、半導体記憶装置に関するもので、

特に基板電位の制御に係わる。

(従来の技術)

一般に、MOS型転送ゲートトランジスタを有する半導体記憶装置、例えばダイナミックRAMには基板電位が印加されている。これによって、ビット線容量の低減、および転送ゲートトランジスタのサブスレッシュホールドリーク電流を低減している。しかしながら、各素子の微細化が進むにつれて転送ゲートトランジスタのチャネル長も短くなり(例えば $L=0.5\mu m$)、現在使用されている $-2V\sim-3V$ 程度の基板電位では第3図に示すようにサブスレッシュホールドリーク電流が増加する傾向にある。第3図はMOS型転送ゲートトランジスタのゲート電圧 V_G に対するドレイン電流 I_D の特性を示すもので、このリーク電流が増加するとダイナミックRAMの場合、情報を書込んでも情報を保持できなくなる。すなわち、キャパシタに蓄積された電荷が転送ゲートトランジスタを介して逃げてしまい、書込んだ情報が消えてしまうことになる。このような情

情報の消失を防止するためには、基板電位を従来よりも深く(例えば $-5V$)すれば良いが、このように基板電位を深く(低く)設定すると転送ゲートトランジスタをオンさせるためにゲートに高電圧を印加する必要が生じ、書き込みおよび読み出しの速度が低下する。しかも、転送ゲートトランジスタのゲートに高電圧を印加すると、このトランジスタに高電界がかかりゲート酸化膜が破壊され易くなったり素子が劣化するという問題を生ずる。

(発明が解決しようとする問題点)

上述したように従来の半導体記憶装置は、素子の微細化に伴ってサブスレッシュホールドリーク電流が増加し、この電流を低減しようとするとき書き込みおよび読み出し速度が低下するとともに素子の劣化を招く欠点がある。

この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、書き込みおよび読み出し速度の低下や素子の劣化を招くことなくサブスレッシュホールドリーク電流を低減できる半導体記憶装置を提供することである。

リセルの構成を示すもので、(a)図はパターン平面図、(b)図は(a)図の $X-X'$ 線に沿った断面図、(c)図は(a)図の $Y-Y'$ 線に沿った断面図をそれぞれ示している。第1図において、11は例えばn型のシリコン基板で、このシリコン基板11にはp型のウェル領域12₁、12₂、12₃が行方向に選択的に形成されている。上記pウェル領域12₁、12₂、12₃には、シリコン酸化膜から成り列方向に伸びる素子分離領域13₁、13₂、およびシリコン酸化膜から成り行方向に伸びる素子分離領域13₃、13₄が設けられている。そして、これらの素子分離領域13₁～13₄によってpウェル領域内にメモリセル領域14₁～14₃が形成される。なお、上記列方向に伸びる素子分離領域13₁、13₂は、(b)図に示す如く底部がpウェル領域12の底面(シリコン基板11との境界)より所定の距離だけ隔てられた上方に位置している。一方、上記行方向に伸びる素子分離領域13₃、13₄は、(c)図に示す如く底部がpウェル領域12の底面に接し、各ウェル領域12₁、12₂、12₃

[発明の構成]

(問題点を解決するための手段と作用)

すなわち、この発明においては、上記の目的を達成するために、MOS型転送ゲートトランジスタの基板電位を情報の保持状態時には深くし、情報の書き込み時および読み出し時にのみ選択的に浅くしている。

こうすることにより、MOS型転送ゲートトランジスタの基板電位は、情報を保持する時には深いのでサブスレッシュホールドリーク電流を低減でき、且つ情報の書き込み時および読み出し時には浅くしているので動作速度が低下することはない。しかも、このトランジスタをオンさせるためにゲートに高電圧を印加する必要はないので、素子が劣化してゲート酸化膜が破壊され易くなったりすることもない。

(実施例)

以下、この発明の一実施例について図面を参照して説明する。第1図(a)～(c)は、この発明をダイナミックRAMに適用した場合のメモ

リセル領域14₁～14₃、14₄～14₆、14₇～14₉はそれぞれ、素子分離領域13₃、13₄によって分離されることになる。そして、上記メモリセル領域14₁～14₉および素子分離領域13₁、13₂上には、キャパシタ電極15₁～15₃と例えば多結晶シリコンからなり転送ゲートを兼ねる電極16₁～16₃が設けられる。すなわち、各メモリセル領域14₁～14₉上の電極15₁～15₃はキャパシタ電極として機能し、n型拡散層18₁～18₃とn⁺型拡散層19₁～19₃との間の領域上の電極16₁～16₃は転送ゲート電極およびワードラインとして機能する。

更に、キャパシタ電極15₁～15₃上およびゲート電極16₁～16₃上を含む全面にシリコン酸化膜からなる層間絶縁膜20が被覆形成されている。この層間絶縁膜20には、コンタクトホール21₁～21₃が開孔されており、この層間絶縁膜20上にアルミ配線(ビットライン)17₁～17₃が形成され、上記コンタクトホール21₁～21₃を介してpウェル領域12₁、12₂、12₃の表面領域に設けられた

高濃度の p^+ 型不純物領域12aに接続される。また、上記 p ウェル領域12₁～12₃には、基板電位を印加するためのコンタクトホール22₁～22₃が形成され、アルミ配線23₁～23₃を介して図示しない基板電位発生回路(基板電位供給手段)に接続される。この基板電位発生回路は、情報の読出し時もしくは書込み時には例えば $-2V \sim -3V$ の電位を選択された転送ゲートトランジスタが形成された p ウェル領域に供給し、非選択メモリセルの転送ゲートトランジスタが形成された p ウェル領域には例えば $-5V$ を供給する。一方、情報の保持状態時には例えば $-5V$ を全ての p ウェル領域12₁～12₃に供給するような構成となっている。

次に上記のような構成において動作を説明する。まず書込みおよび読出しの場合には、選択された行の基板電位を上記基板電位発生回路の出力によって浅く設定する。例えば p ウェル領域12₁にアルミ配線23₁を介して例えば $-2V$ の基板電位を与える。この時、転送ゲートトランジスタのサブ

スレッシュホールドリーク電流特性は前記第3図に示したようになり、ゲート電圧 V_g が $0V$ でも電流が流れ転送ゲートトランジスタはオン状態となる。従って、ゲート電極に高電圧を印加する必要はなく、素子の劣化によるゲート酸化膜の破壊を防止できる。なお、この時にはリーク電流が流れるが、書込みの場合には多少リーク電流があってもリフレッシュ(再書込み)を行なうので特に問題はない。

次に、情報をキャパシタに保持する(非選択)場合には、選択された行の p ウェル領域に例えば $-5V$ の基板電位を印加する。これによって、転送ゲートトランジスタのサブスレッシュホールドリーク電流特性は第2図に示すようになり、ゲート電圧 V_g が $0V$ の時には、この電流は $1 \times 10^{-14} [A]$ 程度に押えられる。従って、キャパシタに蓄積された電荷が転送ゲートトランジスタを介してリークし、書込んだ情報が消失するのを防止できる。

このような構成によれば、上述したように

MOS型転送ゲートトランジスタの基板電位は情報の保持時には深いのでサブスレッシュホールドリーク電流を低減できる。しかも、情報の書込み時および読出し時には浅くしているのでアクセス速度が低下することなく、このトランジスタをオンさせるためにゲートに高電圧を印加する必要はないのでゲート酸化膜の破壊や素子の劣化等を防止できる。

〔発明の効果〕

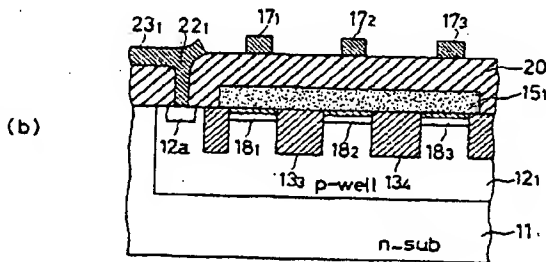
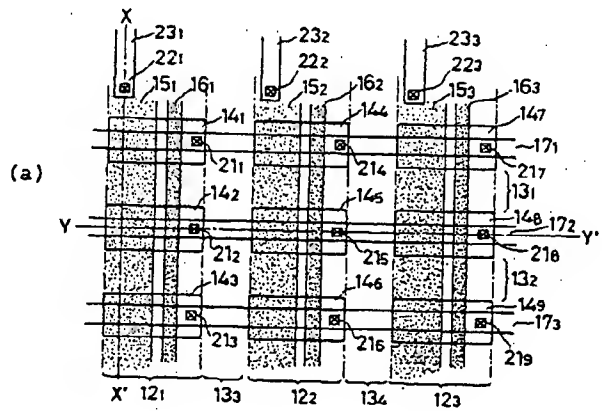
以上説明したようにこの発明によれば、書込みおよび読出し速度の低下や素子の劣化を招くことなくサブスレッシュホールドリーク電流を低減できる半導体記憶装置が得られる。

4. 図面の簡単な説明

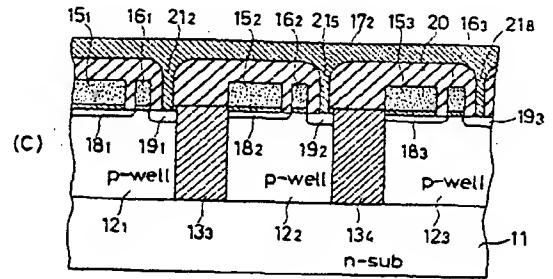
第1図はこの発明の一実施例に係わる半導体記憶装置について説明するための図、第2図は上記第1図の装置におけるサブスレッシュホールドリーク電流特性を示す図、第3図は従来の半導体記憶装置におけるサブスレッシュホールドリーク電流特性を示す図である。

11…シリコン基板、12₁～12₃…ウェル領域、13₁～13₄…素子分離領域、14₁～14₃…メモリセル領域。

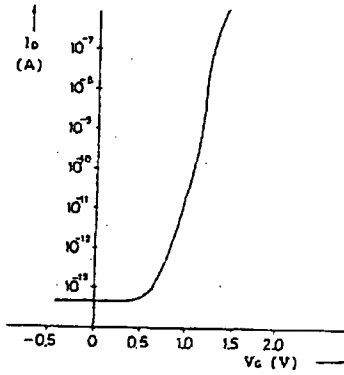
出願人代理人 弁理士 錦江武彦



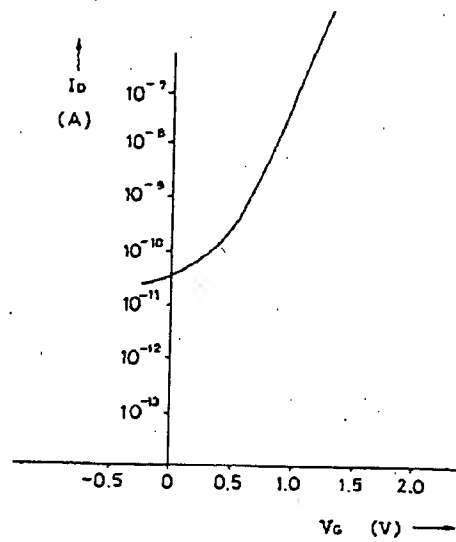
第 1 図



第 1 図



第 2 図



第 3 図

(19) Japanese Patent Office (JP)
(12) Patent Publication (A)
(11) Japanese Patent Provisional
Publication of a patent application
No. Sho 63-229848
(43) Publication: September 26, Showa 63 (1988)
(51) Int.Cl.⁴ Identification Internal
H 01 L 27/10 Symbol Reference No.
27/04 325 U-8624-5F
B-7514-5F

Request for Examination: requested

Number of invention(s) 1 (Total 4 pages)

(54) Title of the Invention: Semiconductor Storage Device
(21) Application No. Patent Application Sho 62-65015
(22) Filing date March 19 Showa 62 (1987)
(72) Inventor: Maeda Satoru
c/o Research and Development Center,
Toshiba Corporation
1, Komukai-Toshiba-cho, Saiwai-ku,
Kawasaki-shi, Kanagawa-ken, Japan
(72) Inventor: Iwai Hiroshi
c/o Research and Development Center,
Toshiba Corporation
1, Komukai-Toshiba-cho, Saiwai-ku,
Kawasaki-shi, Kanagawa-ken, Japan
(71) Applicant: Toshiba Corporation
72, Horikawa-cho, Saiwai-ku,
Kawasaki-shi, Kanagawa-ken, Japan
(74) Agent Suzue Takehiko, Patent Attorney
And other 2 agents

SPECIFICATION

1. Title of the Invention

Semiconductor Storage Device

2. What Is Claimed Is

(1) A semiconductor storage device having a MOS type transfer gate transistor, comprising substrate potential supply means for, upon information reading or writing, setting the substrate potential of the MOS transfer gate transistor to be shallow, and in information hold status, setting the substrate potential to be deep.

(2) The semiconductor storage device according to claim 1, wherein said substrate potential is supplied to a well region of inverse conductive type to the semiconductor substrate.

(3) The semiconductor storage device according to claim 1, wherein said substrate potential is selectively supplied only to a selected row or column.

3. Detailed Description of the Invention

[Purpose of the Invention]

(Industrial Field of Utilization)

This invention relates to a semiconductor storage device, and more particularly, to a substrate potential control.

(Conventional Art)

Generally, a substrate potential is applied to a semiconductor storage device having an MOS transfer gate transistor such as a dynamic RAM, thereby a bit line capacity

is reduced, and subthreshold leak current of the transfer gate transistor is reduced. However, as the respective devices become fine, the channel length of the transfer gate transistor becomes shorter (for example, $L=0.5\ \mu\text{m}$). At the currently used -2V to -3V substrate potential, the subthreshold leak current tends to increase as shown in Fig. 3. Figs. 3 shows the characteristic of drain current I_D with respect to gate voltage V_G of the MOS transfer gate transistor. In use of dynamic RAM, when the leak current increases, even if information is written, the information cannot be held. That is, electric charge accustomed in the capacitor moves out via the transfer gate transistor and the written information is lost. To prevent such information loss, the substrate potential may be deeper (for example, -5V) than the conventional potential, however, the setting of the substrate potential to be deep (low), it is necessary to apply a high voltage to the gate to turn the transfer gate transistor on, and the speed of writing and reading is reduced. Further, when the high voltage is applied to the gate of the transfer gate transistor, a high electric field is applied to the transistor, and the gate oxide film may be easily broken or the device is degraded.

(Problem That the Invention Is to Solve)

As described above, in the conventional semiconductor storage device, as the devices become fine, the subthreshold

leak current increases, and when the current is reduced, the speed of writing and reading is lowered, and the device may be degraded.

The present invention has been made in view of the above situation, and has its object to provide a semiconductor storage device in which the subthreshold leak current can be reduced without reduction of writing and reading speed and device degradation.

[Construction of the Invention]

(Means for Solving the Problem and Operation)

That is, in the present invention, to attain the above object, the substrate potential of MOS transfer gate transistor is set to be deep in information holding status, and selectively set to be shallow only upon information writing and reading.

In this arrangement, as the substrate potential of the MOS transfer gate transistor is deep when information is held, the subthreshold leak current can be reduced, and as the potential is shallow when information is written and read, the operation speed is not lowered. Further, it is not necessary to apply a high voltage to the gate to turn the transistor on, there is no possibility that the device is degraded and the gate oxide film is easily broken.

(Working Example)

Hereinbelow, a working example of the present

invention will be described with reference to the drawings. Figs. 1(a) to (c) show the construction of memory cell in the case where the present invention is applied to a dynamic RAM. (a) is a pattern flat view; (b), a cross-sectional view along a line X-X' in Fig. (a); and (c), a cross-sectional view along a line Y-Y' in Fig. (a). In Fig. 1, numeral 11 denotes a silicon substrate of e.g. n type. On the silicon substrate 11, p-type well regions 12₁, 12₂, 12₃ are selectively formed in a row direction. In the p well regions 12₁, 12₂, 12₃, device isolation regions 13₁, 13₂ of silicon oxide film, extending in a column direction, and device isolation regions 13₃, 13₄ of silicon oxide film, extending in the row direction, are formed. Memory cell regions 14₁ to 14₆ are formed in the p well regions by these device isolation regions 13₁ to 13₄. Note that bottoms of the device isolation regions 13₁ and 13₂ extending in the column direction are in upper positions away from the bottom surfaces of the p well regions 12 (boundary from the silicon substrate 11) by a predetermined distance, as shown in Fig. (b). On the other hand, bottoms the device isolation regions 13₃, 13₄ extending the row direction are in contact with the bottom surfaces of the p well regions 12 as shown in Fig. (c), and the respective well regions 12₁, 12₂, 12₃ are away from each other. That is, the memory cell regions 14₁ to 14₂, 14₃ to 14₄, 14₅ to 14₆ are respectively isolated by the

device isolation regions $13_1, 13_2$. Capacitor electrodes 15_1 to 15_3 and electrodes 16_1 to 16_3 of e.g. polycrystalline silicon which serve as transfer gates, are provided on the memory cell regions 14_1 to 14_3 and the device separation regions $13_1, 13_2$. That is, the electrodes 15_1 to 15_3 on the respective memory cell regions 14_1 to 14_3 function as capacitor electrodes, and the electrodes 16_1 to 16_3 on regions between the n^- diffusion layers 18_1 to 18_3 and n^+ diffusion layers 19_1 to 19_3 function as the transfer gate electrodes and word lines.

Further, an interlayer insulating film 20 of silicon oxide film is formed over the entire surface including the upper surfaces of the capacitor electrodes 15_1 to 15_3 and the gate electrodes 16_1 to 16_3 . The interlayer insulating film 20 has contact holes 21_1 to 21_3 , and aluminum wires (bit lines) 17_1 to 17_3 are formed on the interlayer insulating film 20, and connected via the contact holes 21_1 to 21_3 to a high concentration p^+ impurity region 12a provided in surface regions of the p well regions $12_1, 12_2, 12_3$. Further, contact holes 22_1 to 22_3 for application of substrate potential are formed in the p well regions 12_1 to 12_3 , and connected via aluminum wires 23_1 to 23_3 to a substrate potential generation circuit (substrate potential supply means) (not shown). Upon information reading or writing, the substrate potential generation circuit supplies a

potential at e.g. -2 V to -3 V to the p well region where a selected transfer gate transistor is formed, and supplies e.g. -5 V to the p well region where the transfer gate transistor of unselected memory cell is formed. On the other hand, in information holding status, the circuit supplies e.g. -5 V to all the p well regions 12_1 to 12_3 .

Next, the operation in the above construction will be described. First, in writing and reading, the substrate potential of selected row is set to be shallow by the output from the substrate potential generation circuit. For example, the substrate potential at e.g. -2 V is applied to the p well region 12_1 via the aluminum wire 23_1 . At this time, the characteristic of the subthreshold leak current of the transfer gate transistor is as shown in Fig. 3. Even when the gate voltage V_g is 0V, the current flows, and the transfer gate transistor becomes on status. Accordingly, it is not necessary to apply a high voltage to the gate electrode, thus breakage of gate oxide film due to device degradation can be prevented. Note that at this time, the lead current flows, however, upon writing, even if some leak current exists, refresh (rewrite) is performed, therefore, there is no problem.

Next, in a case where information is held in the capacitor (non-selection), the substrate potential at e.g. -5 V is applied to the p well region of the selected row.

By this arrangement, the characteristic of the subthreshold leak current of the transfer gate transistor is as shown in Fig. 2. When the gate voltage V_g is 0V, the current is suppressed to about 1×10^{-14} [A]. Accordingly, the leakage of the electric charge accumulated in the capacitor via the transfer gate transistor and loss of written information can be prevented.

In accordance with the construction, as described above, as the substrate potential of MOS transfer gate transistor is deep when information is held, the subthreshold leak current can be reduced. Further, upon information writing and reading, as the potential is shallow, the access speed is not lowered. As it is not necessary to apply a high voltage to the gate to turn the transistor on, the breakage of gate oxide film and device degradation can be prevented.

[Effect of the Invention]

As described above, according to the present invention, a semiconductor storage device which enables reduction of subthreshold leak current without reduction of the speed of writing and reading and device degradation can be obtained.

4. Brief Description of the Drawings

Fig. 1 is a diagram explaining the one semiconductor storage device according to the working example of the present invention; Fig. 2, a diagram showing the

characteristic of subthreshold leak current in the device in Fig. 1; and Fig. 3, a diagram showing the characteristic of subthreshold leak current in the conventional semiconductor storage device.

11 ... silicon substrate, 12₁ to 12₃ ... well region, 13₁ to 13₄ ... device separation region, 14₁ to 14₉ ... memory cell region.

Agent: Suzue Takehiko, Patent Attorney